



УНИВЕРСИТЕТ ИТМО

СБОРНИК ТРУДОВ



ВСЕРОССИЙСКОГО
КОНГРЕССА
МОЛОДЫХ УЧЕНЫХ

ТОМ 2



Санкт-Петербург

2016

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ

**САНКТ-ПЕТЕРБУРГСКИЙ НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ
УНИВЕРСИТЕТ ИНФОРМАЦИОННЫХ ТЕХНОЛОГИЙ, МЕХАНИКИ И ОПТИКИ**

**Сборник трудов
V Всероссийского конгресса молодых
ученых**

Том 2



УНИВЕРСИТЕТ ИТМО

Санкт-Петербург

2016

Сборник трудов V Всероссийского конгресса молодых ученых. Том 2. –
СПб.: Университет ИТМО, 2016. – 273 с.

В издании «Сборник трудов V Всероссийского конгресса молодых ученых» публикуются работы, представленные в рамках V Всероссийского конгресса молодых ученых и XIII Всероссийской межвузовской конференции молодых ученых, которая состоялась 12–15 апреля 2016 года в Санкт-Петербургском национальном исследовательском университете информационных технологий, механики и оптики.

ISBN 978-5-7577-0537-8

ISBN 978-5-7577-0538-5



УНИВЕРСИТЕТ ИТМО

Университет ИТМО – ведущий вуз России в области информационных и фотонных технологий, один из немногих российских вузов, получивших в 2009 году статус национального исследовательского университета. С 2013 года Университет ИТМО – участник программы повышения конкурентоспособности российских университетов среди ведущих мировых научно-образовательных центров, известной как проект «5 в 100». Цель Университета ИТМО – становление исследовательского университета мирового уровня, предпринимательского по типу, ориентированного на интернационализацию всех направлений деятельности.

© Санкт-Петербургский национальный исследовательский университет
информационных технологий, механики и оптики, 2016

© Авторы, 2016

7. Savkin L.V. Self-testing fixed topology of basic diagnostic models in the reconfigurable computing field of system the functional monitoring and diagnostics an onboard complex to control of the spacecraft // The First European Conference on Informational Technology and Computer Science. – 2015. – P. 64–69.

УДК 004.031.6

**БОРТОВЫЕ РЕГЕНЕРАТИВНЫЕ ЭЛЕКТРОННЫЕ СИСТЕМЫ
КОСМИЧЕСКОГО ПРИМЕНЕНИЯ: АНАЛИЗ МЕТОДОВ НИЗКОУРОВНЕВОГО
РЕЗЕРВИРОВАНИЯ КОМБИНИРОВАННЫХ АРХИТЕКТУР И ОДИНОЧНОЙ
ЛОГИКИ В ПЛИС**

Л.В. Савкин

В работе проводится анализ известных методов низкоуровневого резервирования аппаратных архитектур программируемых логических интегральных схемах класса FPGA и CPLD, включая схемы мажоритарного резервирования, схемы с самоконтролем, парные архитектуры с двухсторонним тестированием и другие. Особое внимание уделено методам низкоуровневого резервирования комбинированных архитектур и одиночной логики, направленных на реализацию ранее предложенных аппаратно-программных платформ бортовых регенеративных электронных систем космических аппаратов.

Ключевые слова: низкоуровневое резервирование, конфигурируемый логический блок, комбинированная архитектура, графоаналитическая модель.

Введение. Развитие большинства известных на сегодняшний день концепций реконфигурируемых вычислительных систем (РВС) [1–3] во многом определяется непрерывным совершенствованием электронной компонентной базы, в которой наиболее значимую роль играют программируемые логические интегральные схемы (ПЛИС). Технические возможности ПЛИС последнего поколения позволяют качественно пересмотреть традиционные подходы по построению отказоустойчивой электронной аппаратуры космического применения, фундаментальным принципом аппаратно-программного построения которых является резервирование микропроцессорных аппаратных подсистем на высоком аппаратном уровне (вычислительные комплексы, модули, блоки и т.п.). Новые подходы с использованием ПЛИС направлены сегодня на построение бортовых отказоустойчивых электронных систем космического применения нового типа, реализующих широкий набор методов низкоуровневого резервирования комбинированных логико-арифметических архитектур вплоть до уровня отдельных конфигурируемых логических блоков (КЛБ) [4].

Исследование способов практической реализации данных подходов позволяет провести грубую аналогию с явлениями регенерации, наблюдаемыми во многих формах биологических систем, что, в свою очередь, позволяет в конечном итоге говорить о новом классе отказоустойчивых электронных систем не микропроцессорной архитектуры – регенеративных электронных системах (РегЭС) [5].

Ввиду того, что ключевой особенностью всех типов РегЭС является возможность низкоуровневого резервирования аппаратных архитектур, то в настоящей работе предлагается рассмотреть ряд наиболее распространенных способов низкоуровневого резервирования комбинированных логико-арифметических архитектур, включая конфигурируемые логические блоки (для ПЛИС класса FPGA). Рассматриваемые далее способы могут быть вполне успешно реализованы в современных ПЛИС как FPGA-класса, так и класса CPLD.

Цель работы – анализ и сравнительная оценка методов низкоуровневого резервирования комбинированных архитектур и одиночной логики в ПЛИС, которые могут быть использованы при аппаратно-программной реализации бортовых РегЭС космических аппаратов (КА).

Методы низкоуровневого резервирования и отказоустойчивые архитектуры на базе ПЛИС

1. Мажоритарные схемы резервирования. Применение мажоритарных схем резервирования аппаратуры [6] является одним из самых распространенных способов построения отказоустойчивых бортовых систем КА, которые в большинстве случаев реализуются на высоком аппаратном уровне.

При реализации мажоритарного резервирования на низком аппаратном уровне в РегЭС всегда ставится вопрос о том, каким образом наиболее эффективно будет реализовано ключевое звено любой мажоритарной схемы резервирования – мажоритарный орган (МО).

Самым распространенным ответом на этот вопрос является построение многоуровневых цифровых компараторов, реализующих сопоставление поступающих на их вход данных от, как правило, нечетного числа каналов обработки информации (идентичных аппаратных архитектур в ПЛИС).

Распространенность применения именно этого подхода в качестве МО обуславливается, прежде всего, тем, что благодаря компараторным схемам сравнения можно выявлять наличие неидентичности между входными данными сразу же во всех каналах обработки информации, а не только относительно доминирующих (с точки зрения большинства одинаковых параметров входных данных) потоков.

К примеру, для классической трехкратной мажоритарной схемы резервирования, реализующей правило «два из трех», т.е.

$$z = \begin{cases} y_1 \& y_2 \& y_3, \\ y_1 \& y_2 \mid (\neq y_3), \\ y_1 \& y_3 \mid (\neq y_2), \\ y_2 \& y_3 \mid (\neq y_1), \end{cases} \quad (1)$$

где z – выходные данные МО, а y_1, y_2, y_3 – данные от трех идентичных аппаратных каналов (архитектур), поступающие на вход МО, именно благодаря многоуровневому цифровому компаратору удается не только зарегистрировать случай $y_1 \neq y_2 \neq y_3$, но и идентифицировать параметрические различия между потоками данных на входе МО.

В тех случаях, когда необходимо повысить надежность архитектуры, реализующей в едином реконфигурируемом вычислительном поле (РВП) РегЭС МО, удобно применять многослойные схемы мажоритарного резервирования [6], исправляющие ошибки (при их возникновении) по мере прохождения распараллеленных сигналов через мажоритарные слои и подсистемы исходных вычислительных каналов (ВК). Последние, в свою очередь, образуются путем предварительной структурной декомпозиции исходных архитектур ВК в РВП РегЭС. В ряде случаев в архитектуре РВП можно также предусмотреть возможность «снятия» потоков данных с промежуточных участков обработки информации в ВК, не прибегая при этом к процедуре декомпозиции их архитектуры.

Достоинством данных методов является устойчивость практически ко всем видам отказов составных частей идентичных ВК, сравнительная простота их практической реализации в составе функциональных архитектур РВП РегЭС с одновременным повышением достоверности обрабатываемой информации. В основном все недостатки в реализации данных способов резервирования на базе ПЛИС определяются

трудностями, связанными с особенностями архитектуры составного РВП РегЭС, определяемого, в свою очередь, типом ПЛИС.

2. Квазиавтономные архитектуры. Под квазиавтономными архитектурами РВП РегЭС понимаются такие архитектуры, которые помимо функциональных алгоритмов, требуемых для решения штатных задач обработки информации в РегЭС, реализуют еще и два типа задач контроля фрагментов РВП.

Первый тип задач относится к контролю соседних фрагментов РВП по отношению к каждому из рассматриваемых фрагментов. Как правило, эта задача в самом общем случае заключается в том, чтобы каждый выделенный фрагмент РВП, помимо возложенных на него основных функций, контролировал еще и группу окружающих его в определенной области РВП отдельных фрагментов.

Кроме того, каждый фрагмент должен осуществлять еще и самоконтроль, который относится уже ко второму типу задач контроля. Данная концепция обеспечивает своеобразную функциональную автономность каждой аппаратной архитектуры РВП, которая при оптимальных соотношениях избыточности фрагментов РВП, довольно эффективно реализует отказоустойчивость РВП РегЭС в целом.

Идея квазиавтономных архитектур является вариативным следствием развития и обобщения идей систолических вычислительных систем и самоконтролируемых аппаратных архитектур. Она направлена, прежде всего, на применение универсальной, отказоустойчивой и максимально однородной архитектуры РВП РегЭС для решения сравнительно широкого класса задач простой и средней сложности, что в общем случае является ее достоинством. Существенным недостатком подобного рода концепций является сложность аппаратной организации памяти внутри фрагментов РВП, требуемой как для выполнения операций с запоминанием данных, так и для хранения данных (к примеру, эталонных) об исправных состояниях собственной архитектуры и архитектур контролируемых фрагментов единого РВП РегЭС.

3. Парные архитектуры с двухсторонним (взаимным) тестированием. В данного типа архитектурах низкоуровневая коммутация (реконфигурация РВП РегЭС) с отказавшей архитектуры на исправную осуществляется после регистрации неисправности на основе встречных по отношению друг к другу аппаратных тестов каждой из двух полностью идентичных архитектур A_1 и A_2 , образующих парную архитектуру РВП.

Если, к примеру, в качестве взаимного теста используется метод булевых производных, то в каждой из архитектур A_1 и A_2 , реализующих соответственно булевы функции $f_{A_1}(x) = f_{A_1}(x_1, x_2, \dots, x_n)$ и $f_{A_2}(x) = f_{A_2}(x_1, x_2, \dots, x_n)$, вычисляются соответствующие им значения булевых производных

$$\frac{df_{A_1}(x)}{dx_i^{(A_1)}} = f_{A_1}(x_i^{(A_1)}) \oplus f_{A_1}(\overline{x_i^{(A_1)}}), \quad (2)$$

$$\frac{df_{A_2}(x)}{dx_i^{(A_2)}} = f_{A_2}(x_i^{(A_2)}) \oplus f_{A_2}(\overline{x_i^{(A_2)}}), \quad (3)$$

где $x_i^{(A_1)}$ и $x_i^{(A_2)}$, $i = \overline{1, n}$ – двоичные переменные, по которым во взаимном тестировании архитектур A_1 и A_2 берутся значения булевых производных, после чего на основе индикаторных функций Q_{A_1} и Q_{A_2} вида

$$Q_{A_1}(x_i^{(A_1)}) = x_i^{(A_1)} \times \frac{df_{A_1}(x)}{dx_i^{(A_1)}} = \begin{cases} 0, \text{ Исправно} \\ 1, \text{ Неисправно} \end{cases} \quad (4)$$

$$Q_{A_2}(x_i^{(A_2)}) = x_i^{(A_2)} \times \frac{df_{A_2}(x)}{dx_i^{(A_2)}} = \begin{cases} 0, \text{ Исправно} \\ 1, \text{ Неисправно} \end{cases} \quad (5)$$

можно однозначно зафиксировать наличие неисправности в i -ом канале обработке информации любой из архитектур $A1$ и $A2$.

Низкоуровневое резервирование, выполняемое по результатам процедуры периодического сопоставления индикаторных функций $Q_{A1} \Leftrightarrow Q_{A2}$ парной архитектуры РВП, относится к резервированию с замещением, достоинством которого является сравнительная простота его реализации в составе функциональных фрагментов РВП РегЭС. Недостатком в общем случае здесь является необходимость использования дублирующих парных архитектур $A3$ и $A4$, которые также будут замещать отказавшую полностью парную архитектуру « $A1-A2$ ».

4. Архитектуры скользящего резервирования. В составе РВП РегЭС также может быть реализовано скользящее резервирование как фрагментов РВП, так и отдельных КЛБ. С этой целью в составе РВП можно выделить фрагмент, содержащий избыточную группу требуемых для функционального замещения отдельных фрагментов РВП (либо КЛБ).

Реализация метода скользящего резервирования в этом случае будет заключаться в перепоключении (с помощью реконфигурации РВП) одного из фрагментов резервной группы фрагментов РВП к фрагменту, вышедшему из строя [7]. Наиболее удобно использовать данный метод резервирования в архитектурах ПЛИС класса FPGA иерархического типа.

О достоинствах низкоуровневого скользящего резервирования можно говорить лишь в зависимости от той модели (или архитектуры) РегЭС в рамках которой его будет целесообразно использовать. Вместе с тем основным недостатком данного метода в большинстве случаев будет выступать сложность его практической реализации, связанная с топологической (т.е. конфигурационной) ограниченностью архитектур ПЛИС при их реконфигурации.

5. Архитектуры с логическим переплетением. Применение архитектур с логическим переплетением довольно удобно применять при четырехкратном резервировании сравнительно простых комбинационных схем [6]. Вместе с тем довольно сложно представить себе пример, где использование именно архитектуры с логическим переплетением было бы эффективнее, чем, к примеру, мажоритарное резервирование ВК в едином РВП РегЭС. Важным доводом в пользу этого аргумента является хотя бы тот факт, что выход архитектуры с логическим переплетением всегда является многоканальным. Это обстоятельство, в свою очередь, часто наводит разработчика архитектуры отказоустойчивой архитектуры на мысль о необходимости использования арбитражного устройства на выходе архитектуры с логическим переплетением.

К примеру, в том же пособии [6] в качестве варианта арбитражного устройства упоминается возможность применения МО. Однако на практике данное решение в большинстве случаев выливается в колоссальное усложнение всей отказоустойчивой архитектуры в целом. Можно только себе представить во сколько раз еще усложнится подобная архитектура, если возникнет необходимость в резервировании самого МО, а точнее построения комбинированной архитектуры с логическим переплетением (в том варианте, о котором говорится в вышеупомянутом пособии) одновременно сочетающей в себе и многослойное мажоритарное резервирование. Хотя, безусловно, всегда можно подобрать такой частный пример, где данное решение будет наиболее оптимальным по сравнению с той же отказоустойчивой архитектурой, реализующей одно лишь мажоритарное резервирование. И понятно также, что в целом этот подход требует очень детального предварительного рассмотрения особенностей исходной комбинационной схемы, в рамках которой планируется реализовать отказоустойчивую архитектуру с логическим переплетением.

Таким образом, о достоинствах данного способа можно говорить в основном при реализации сравнительно простых с точки зрения булевых функций логических схем, при этом сам метод может быть использован как в ПЛИС FPGA-класса, так и класса CPLD. Недостатком данного подхода в рамках РегЭС является то, что данный подход в целом рассчитан на стационарные архитектуры, не требующие коррекции в процессе своей эксплуатации. В связи с этим в рамках любой модели РегЭС данный подход не имеет серьезного практического интереса, поскольку вся идеология РегЭС базируется на идее адаптивной (по отношению к любым типам неисправностей РВП) реконфигурации, причем динамической.

6. Резервирование с замещением за счет реконфигурации. Этот метод полностью основан на свойствах реконфигурации РВП РегЭС. Пусть до момента возникновения неисправности в КЛБ выделенный фрагмент РВП РегЭС описывался орграфом $G_1(R, W)$, где $R = \{r_i\}, i \in I = \{1, 2, \dots, k\}$ – множество функциональных КЛБ-вершин РВП, реализующих требуемые логические и арифметические операции посредством КЛБ, а $W = \{w_j\}, j \in J = \{1, 2, \dots, m\}$ – множество дуг, описывающих направленные связи между КЛБ-вершинами и полностью определяющих топологию (конфигурацию) архитектуры фрагмента РВП [1, 8, 9].

Если один из КЛБ в процессе функционирования РегЭС вышел из строя, то РегЭС остается не что иное, как восстановить целостность орграфа $G_1(R, W)$. А для этого необходимо путем реконфигурации либо перенести орграф на другой участок РВП, либо с помощью той же реконфигурации осуществить замещение вышедшего из строя КЛБ за счет переподключения двух дуг к другому исправному КЛБ из избыточной группы КЛБ РВП. В обоих случаях орграф $G_1(R, W) \neq G_2(R, W)$, где $G_2(R, W)$ – орграф, описывающий восстановленный фрагмент РВП.

С точки зрения всех моделей РегЭС данный подход в целом является наиболее предпочтительным из ранее перечисленных. Сложности его во многом обусловлены необходимостью решения чисто комбинаторных задач, которые соответствуют той или иной комбинационной схеме и которые всегда можно представить в виде соответствующей графоаналитической модели $G(R, W)$.

7. Модулярные архитектуры. В рамках концепции РегЭС этот метод построения отказоустойчивых архитектур и соответствующих ему методов резервирования открывает довольно много интересных и, безусловно, перспективных исследовательских направлений, связанных с построением аппаратных архитектур, реализующих одну из разновидностей непоозиционных систем счисления – системы остаточных классов (т.е. модулярную арифметику).

Практический интерес к подобным архитектурам связан, прежде всего, с тем, что реализация в РВП РегЭС той или иной операции, основанной на использовании систем остаточных классов, требует естественного введения избыточных наборов КЛБ. При этом не редко данные избыточные архитектуры группируются оптимальным образом и с точки зрения конфигурационных, и с точки зрения комбинаторных ограничений орграфа $G(R, W)$.

Функциональная и контролирующая среды в РВП РегЭС

1. Проблема динамической реконфигурации. Ключевой проблемой в реализации двух взаимодействующих между собой аппаратных сред (функциональной и контролирующей) РегЭС является крайне узкая номенклатура ПЛИС с возможностями динамической реконфигурации архитектуры. На сегодняшний день, помимо большого числа работ зарубежных исследователей по тематике низкоуровневой динамической реконфигурации, уже существует ряд ПЛИС ведущих

производителей Xilinx и Altera с возможностями локальной динамической реконфигурации. Исследования по вопросу полной динамической реконфигурации ПЛИС также активно ведутся.

2. Проблема организации памяти в различных моделях РегЭС. Данная проблема в рамках реализации любой из моделей РегЭС по масштабу своей сложности является второй после проблемы динамической реконфигурации. Одним из выходов в решении данной проблемы является реализация запоминающих устройств, хранящих память о переходных процессах в соседних и примыкающих друг к другу фрагментах РВП, на базе самих фрагментов РВП (т.е. на базе КЛБ). Такой подход может быть использован в моделях РегЭС с архитектурами квазиавтономного типа.

Исследования данного вопроса активно ведутся как в рамках различных моделей РегЭС, так и в рамках различного рода отказоустойчивых самоконтролируемых систем с памятью.

3. Критерии выбора методов низкоуровневого резервирования. Выбор конкретного метода низкоуровневого резервирования аппаратных архитектур РегЭС всегда полностью определяется рассматриваемой моделью РегЭС. Во многих случаях критериями выбора того или иного метода низкоуровневого резервирования фрагментов РВП РегЭС являются конфигурационные и комбинаторные ограничения орграфов $G(R, W)$, соответствующих той или иной комбинационной схеме (булевой функции, схеме функциональной целостности и т.п.).

Вместе с тем, окончательный выбор того или иного метода низкоуровневого резервирования аппаратных архитектур РВП РегЭС всегда будет зависеть от платформы ПЛИС, отведенной для реализации единого РВП со свойствами динамической реконфигурации.

Важным аспектом всех вышеперечисленных проблем является еще и то, что в данном случае речь идет об использовании ПЛИС с парированием отказов на уровне одного КЛБ. Именно такого рода технологии служат сегодня основой построения радиационнотойких ПЛИС космического применения.

Заключение. В работе с целью исследования возможностей аппаратно-программной реализации ранее предложенных бортовых РегЭС космического применения проведен анализ известных методов низкоуровневого резервирования аппаратных архитектур ПЛИС. Рассмотрены следующие методы низкоуровневого резервирования архитектур ПЛИС: мажоритарные схемы резервирования, включая схемы с одним МО и многослойные мажоритарные схемы резервирования, квазиавтономные архитектуры, парные архитектуры с двухсторонним тестированием, архитектуры со скользящим резервированием, низкоуровневое резервирование КЛБ и фрагментов РВП РегЭС с замещением за счет реконфигурации РВП. Упомянуто также о перспективном направлении, связанном с построением отказоустойчивых систем на ПЛИС с использованием модулярных архитектур. Отмечены достоинства и недостатки каждого из рассмотренных методов, каждый из которых может быть успешно реализован в ПЛИС классов FPGA и CPLD.

Особое внимание в работе было уделено разработке методики выбора ПЛИС с той или иной базовой аппаратной архитектурой (островной, иерархической, асимметричной) для реализации конкретного метода низкоуровневого резервирования.

В настоящее время продолжаются исследование и разработка эффективных способов графоаналитического описания структурных и функциональных особенностей резервируемых архитектур РВП РегЭС, учитывающих временные задержки при выполнении логико-арифметических операций, рассинхронизацию сигналов в процессе динамической реконфигурации РегЭС, а также комбинаторные свойства и ограничения орграфов, описывающих данные аппаратные архитектуры.

Литература

1. Каляев И.А., Левин И.И., Семерников Е.А., Шмойлов В.И. Реконфигурируемые мультиконвейерные вычислительные структуры. – 2-е изд., перераб. и доп. – Ростов-на-Дону: Изд-во ЮНЦ РАН, 2009. – 344 с.
2. Хорошевский В.Г. Архитектура вычислительных систем: учеб. пособие. – 2-е изд., перераб. и доп. – М.: Изд-во МГТУ им. Н.Э. Баумана, 2008. – 520 с.
3. Nauck S. Reconfigurable computing. The theory and practice of FPGA-based computation. – Morgan Kaufmann Publ., 2007. – 944 p.
4. Уваров С.С. Проектирование реконфигурируемых отказоустойчивых систем на ПЛИС с резервированием на уровне ячеек // Автоматика и телемеханика. – 2007. – № 9. – С. 176–189.
5. Савкин Л.В. Регенеративные электронные системы в космических системах и комплексах // Вестник кибернетики. – 2015. – № 2(18). – С. 3–32.
6. Иыуду К. Надежность, контроль и диагностика вычислительных машин и систем: учеб. пособие для вузов. – М.: Высш. шк., 1989. – 216 с.
7. Шкляр В.Н. Надежность систем управления: учеб. пособие. – Томск: Изд-во Томского политехнического университета, 2009. – 126 с.
8. Алексеев В.Е., Таланов В.А. Графы. Модели вычислений. Структуры данных: Учебник. – Нижний Новгород: Изд-во ННГУ, 2005. – 307 с.
9. Савкин Л.В. Графоаналитическое моделирование бортовых регенеративных электронных систем космических аппаратов // Материалы XIII конференции молодых ученых «Фундаментальные и прикладные космические исследования». – 2016. – С. 84.